Universidad de las Américas Puebla

Logotipo

El contenido generado por IA puede ser incorrecto.

Sistemas Embebidos

Tarea 2: Informe Tecnico

Emilio Iván Jiménez López 179543

Otoño 2025

**Planteamiento**

En esta segunda tarea, realizaremos 2 circuitos secuenciales, ambos con el propósito de realizar un corrimiento a la derecha de un registro de bits, sin embargo, ambos tendrán un funcionamiento y complejidad muy diferentes.

El primer problema tendrá entrada y salida de registros paralelos de 8 bits, deberá además incluir un input para carga/corrimiento. El segundo problema es similar, sin embargo, deberá producir un output serial, no paralela, y de 4 bits en lugar de 8. Para ello, se deberán incluir también una señal de inicio de conversión, y una señal también de data\_ready para señalizar la conclusión del proceso.

Ambos deberán incluir un reloj y activación en el flanco positivo del reloj, un reset asíncrono, y se deberán hacer los testbenches correspondientes.

**Procedimiento**

Previo a la implementación en Verilog, se realizaron trabajos de prototipado en papel, los cuales pueden verse bajo solicitud al estudiante.

La implementación del problema 1 se ve de la siguiente forma:

Texto

El contenido generado por IA puede ser incorrecto.

La implementación del problema 2 se ve de la siguiente forma:

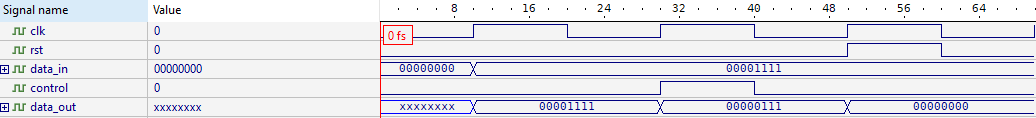
Texto

El contenido generado por IA puede ser incorrecto.

La implementación de los testbenches se realizo con apoyo de herramientas de inteligencia artificial.

**Resultados**

Los resultados del testbench del problema 1 son los siguientes:



Los resultados del testbench del problema 2 son los siguientes:

Diagrama

El contenido generado por IA puede ser incorrecto.

**Análisis**

Tras revisar los resultados de los testbenches, es claro que los ejemplos aplicados efectivamente dan resultados adecuados, por ejemplo, en el caso del circuito con salida paralela, 00001111 nos da como resultado 00000111, mientras que en el circuito secuencial es un poco mas complicado revisarlo, sin embargo, también se puede notar que efectivamente, la salida es adecuada.

**Conclusiones**

Esta tarea explora temas que en clase no habíamos podido revisar adecuadamente, por tanto represento una gran oportunidad para aprender bastante acerca de el lenguaje Verilog, sus capacidades, el paradigma de programación para descripción de hardware, y en lo personal, me sirvió para aplicar mis habilidades programáticas al paradigma de los lenguajes de descripción.